

Vorlesung 2

MOSFET

* * *

Folie 3 zeigt das 3D Bild eines NMOS Transistors.

Ein Transistor ist seitlich vom Isolator (Silizium-Dioxid) umgeben.

* * *

Folien 4 – 12

Folien 4 – 12 zeigen die Reihenfolge von Layout-Lagen (Masken), die einen MOSFET definieren

So ist z.B. der Kanalbereich als Überlapp von zwei Masken bestimmt – eine Maske, genannt „Diffusion“, bestimmt die Flächen mit dünnem Oxid (Folie 4). Die andere Maske bestimmt die Gate Elektrode (Polysilizium) (Folie 8). Nur dort wo sich zwei Masken überlappen, entsteht das Gate-Oxid (Folie 9).

* * *

Folie 13

Ein MOSFET Transistor hat vier Elektroden: Source, Drain, Gate und Substrat (Bulk).

Die Source ist die Quelle für die freien Ladungsträger (NMOS: Elektronen, PMOS: Löcher) und der Drain sammelt sie. Das Gate dient zur Ansteuerung.

Source und Drain befinden sich im Substrat. Das Substrat hat einen eigenen Kontakt – „Bulkkontakt“.

* * *

Folie 14

Es gibt eine Transistorart die auch von unten mit Oxid isoliert wird. Solche Transistoren nennt man SOI-Transistoren (Silicon on Insulator). Sie haben oft keinen Substratkontakt.

* * *

Folie 15

Einen PMOS bekommt man indem man alle Dotierungen negiert. Ein PMOS befindet sich in einem N-Typ Substrat. In Wirklichkeit sind PMOS und NMOS auf demselben Wafer (Siliziumsubstrat). Die Transistoren befinden sich üblicherweise in den lokalen Substraten – „Wannen“.

* * *

Folie 16

Folie 16 zeigt die NMOS und PMOS Symbole.

Wir werden hauptsächlich die Schalter-Symbole verwenden, mit oder ohne Substratelektrode. Diese Symbole sind symmetrisch, wie die Transistorstruktur selbst.

Wie erkennen wir Source und Drain?

Wie erwähnt, ist die Source die Quelle für die Ladungsträger. Im Fall von NMOS ist Source die Elektrode auf niedrigerem Potential – die Quelle für Elektronen. Im Fall vom PMOS, ist Source auf höherem Potential und die Quelle für Löcher.

Alternativ kann man die asymmetrischen Symbole mit dem Pfeil benutzen. Wenn die Substratelektrode im Symbol fehlt – ist sie entweder an Source oder an eine feste Spannung angeschlossen (NMOS: gnd, PMOS vdd).

* * *

Folie 17

Die Funktionsweise vom MOSFET wurde in der Vorlesung „Elektronische Schaltungen“ erklärt – wir werden hier das Wichtigste zusammenfassen und einige Spezialeigenschaften von sehr kleinen MOSFETs beschreiben.

Betrachten wir einen NMOS. In der Struktur haben wir zwei PN Dioden: Source/Substrat und Drain/Substrat. Das Substrat-Potential muss so gewählt werden, dass beide Dioden in Sperrrichtung gepolt werden. Sonst funktioniert ein MOSFET nicht richtig. Also, im Fall von NMOS muss das Substrat auf niedrigerem Potential als Source und Drain liegen. In solch einem Zustand fließt

kein Strom zwischen dem Drain und der Source. (Die Dioden-Leckströme werden vernachlässigt.)

* * *

Folie 18

Wenn wir eine positive Spannung an Gate anlegen, werden zuerst die beweglichen Löcher aus dem Substrat verdrängt. Zurück bleibt die negative Ladung von Akzeptor Atomen. Das Substrat wird verarmt.

* * *

Folie 19

Aus der Halbleitertheorie wissen wir, dass es in verarmten Zonen eine Raumladung gibt. Diese Ladung erzeugt elektrisches Feld. Wo es E-Feld gibt verändert sich auch das Potential.

* * *

Folie 20

Kontaktspannung:

Zwischen Silizium und Metallelektroden entstehen Kontaktspannungen. Um die Analyse zu vereinfachen, machen wir die Annahme, dass sich das Metall ähnlich wie das n-dotierte Silizium verhält. (Das ist in Wirklichkeit nicht ganz korrekt, ändert aber die Ergebnisse unserer Analyse nicht.) Unter dieser Annahme gebe es zwischen den n-dotierten Bereichen – den Source, Drain und Gate (Gate ist normalerweise wie Source und Drain dotiert) und dem Metall keine Kontaktspannung. Die Kontaktspannung zwischen Metall und p-Silizium ist etwa 1V.

* * *

Folie 21

Schottky-Kontakt

Ein Metall-Silizium Kontakt ist normalerweise eine (Schottky) Diode. Der Strom kann nur in eine Richtung fließen – und zwar wenn die externe Spannung die Potentialbarriere verringert.

* * *

Folie 22

Ohmscher Tunnelkontakt

Wenn das Silizium hochdotiert ist, ist die Potentialbarriere im Halbleiter sehr schmal und die Ladungsträger können durch die Barriere in beide Richtungen „tunneln“. (Quantenmechanisches Tunneleffekt) Der Metall-Silizium-Kontakt ist in dem Fall in beide Richtungen leitend – es ist ein ohmscher Kontakt. Der Bulkkontakt eines MOSFETS ist immer als ein ohmscher Kontakt realisiert. Auch ein ohmscher Kontakt hat eine Kontaktspannung.

* * *

Folie 23 - 26

Folie 23 zeigt die Potentiale innerhalb des MOSFETs.

Die Source liegt auf 0V, wir definieren Source-Potential als die Referenz. Drain ist ebenfalls auf 0V. Der Bulkkontakt (Metall) ist zwar 0V, wegen der Kontaktspannung ist das Substratpotential etwa -1.0V. (nah an Silizium Bandlücke)

Nehmen wir an, dass sich das Gate auf 0.35V befindet.

Bemerken wir, dass die Gate-Oxid-Silizium Struktur einen virtuellen Kapazitiven Spannungsteiler bildet. Wir haben zwei Kapazitäten 1) die Oxidkapazität C_{ox} – sie ist durch die Oxiddicke bestimmt und 2) die dynamische Kapazität der Verarmungszone C_{dep} – sie ist durch die Verarmungszonentiefe bestimmt. Man wählt die Dotierung und die Oxiddicke normalerweise so, dass C_{ox} etwa zweimal größer als C_{dep} ist (Folie 24). Deshalb gilt: $V_{ox} : V_{dep} = 1 : 2$ (Folie 25) – das folgt aus der Formel für Spannungsteiler.

Dynamische Kapazität – Definition: Wenn sich die Spannung in der Verarmungszone erhöht, verändert sich auch ihre Ladung. Das Verhältnis dQ/dV ist die dynamische Kapazität. (Normale Kapazität wäre Q/V .)

Wir definieren einen Faktor $n = (C_{dep} + C_{ox})/C_{ox} = 1.5$. (Folie 26)

In der Verarmungszone steigt das Potential von -1.0V auf etwa $\sim -0.1V$ (um 0.9V). Im Oxid zwischen dem Substrat und der Gate Elektrode steigt das Potential um noch etwa 0.45V auf 0.35V. Wenn das Gate auf 0.35V liegt, ist das Potential auf der Silizium-Oberfläche -0.1V.

* * *

Folie 27

Schauen wir uns nochmals die Potentiale an: Source und Drain sind auf 0V. Substrat ist auf -1.0V in der tiefe.

Source und Drain enthalten freie Elektronen weil sie auf einem höheren Potential als Substrat liegen, der wiederum Löcher enthält weil es auf einem niedrigen Potential liegt. Löcher sammeln sich dort wo Potential niedrig ist, die Elektronen dort wo es hoch ist.

* * *

Folie 28

Ein positives Potential ist eine Barriere für die positive Ladung (Löcher) ein negatives Potential ist die Barriere für Elektronen.

Daraus folgt: ein Elektron kann schwer von Source zum Drain über die tiefere Regionen des Substrats gelangen, da -1.0V für Elektronen eine große Potentialbarriere darstellt.

* * *

Folie 29 und 30

Im Unterschied zu den tieferen Substratregionen, ist auf der Substratoberfläche das Potential fast gleich wie im Source und Drain – genau genommen, nur 0.1V niedriger. Obwohl die Substratoberfläche ebenfalls verarmt ist, also keine freien Ladungsträger enthält, kann ein Elektron relativ leicht aus der Source in Drain gelangen da die Potentialbarriere klein ist. Was bedeutet „klein“? Sie ist

vergleichbar mit der thermischen Energie von Elektronen. Erinnern wir uns, dass die thermische Energie bei Zimmertemperatur einer Spannung von $U_T = 25\text{mV}$ entspricht ($U_T = kT/e$). Die thermische Energie bedeutet die mittlere kinetische Energie von Elektronen. **Die Wahrscheinlichkeit, dass ein Elektron auf Zimmertemperatur eine $U_B = 100\text{mV}$ Barriere überwindet hat die Größenordnung von 2% - sie ist näherungsweise durch die Formel $\exp(-U_B/U_T)$ gegeben.** Wenn es viele Elektronen gibt, kann das zum messbaren Strom führen.

* * *

Folie 31

Bemerken wir auch, dass die Elektronen sowohl von der Source-Seite also auch von der Drain-Seite die Barriere überqueren. Wenn Source und Drain auf demselben Potential liegen, ist der Netto Strom 0.

* * *

Folie 32

Wenn aber Drain auf höherem Potential liegt; also wenn die Barriere so hoch wird, dass ein Überqueren von der Drain-Seite unwahrscheinlich ist, kommen die Elektronen nur aus der Source in den Drain. Ein Drain-Source Strom entsteht.

* * *

Folie 33

Solch einen Strom nennen wir Subthreshold Strom. (Subschwellenstrom)

* * *

Folie 34

Erhöhen wir jetzt das Gate-Potential auf 0.5V . Das Potential an der Substratoberfläche (V_x) ist 0V , also genau gleich wie in Source und Drain.

Wir definieren die Schwelle-Spannung V_{th} als die Gate-Source Spannung für $V_x = V_s$ und V_d

Aus der Formel für Spannungsteiler gilt: $V_{th} = C_{dep}/C_{ox} * 1.0\text{V}$.

Diese Herleitung ist sehr vereinfacht. Die genauere Formel würde wie folgend lauten:

$$V_{th} = -\text{Kontakt}V_{np} + \Psi_{i0} + Q_{dep}(\Psi_{i0})/C_{ox}$$

Ψ_{i0} ist etwa 0.85V, Kontaktspannung N-Silizium-Metall-P-Silizium etwa 1V.

Man kann zeigen für die Ladung der Verarmungszone:

$$Q_{dep}(\Psi_{i0}) \sim 2 \cdot C_{dep} \cdot \Psi_{i0}$$

Daraus folgt:

$$V_{th} = -0.15 + 2 \cdot C_{dep}/C_{ox} \cdot 0.85 \sim 0.7V$$

Folie 35-36

Wenn wir das Gate-Potential (Gate-Source Spannung) über etwa 0.5V erhöhen, sollte das Potential an der Substratoberfläche eigentlich über 0V steigen. Das würde aber bedeuten, dass alle Elektronen aus Source und Drain in die Regionen unterhalb des Oxids fließen, da dort für sie ein Potentialminimum entsteht. In Wirklichkeit sammeln sich die Elektronen und bilden einen leitenden Kanal. Die Elektronen im Kanal schließen Source, Drain und die Substratoberfläche kurz und halten auf diese Weise, durch ihre eigene Ladung, das Kanal-Potential auf dem Niveau vom Source und Drain (Folie 36). Der Kanal und die **Source/Drain** sind daher ohmsch verbunden („kurzgeschlossen“).

Folie 37

Berechnen wir die Kanalladung:

Die untere Elektrode der Kapazität C_{ox} liegt also an einem festen Potential. Die C_{dep} spielt keine Rolle jetzt da die Spannung an dieser Kapazität konstant ist.

Die Spannungsquelle am Gate sieht also die Eingangskapazität C_{ox} : Wenn sich die Gate Spannung um dV_g ändert, fließt die Ladung $C_{ox} dV_g$ durch die Quelle. Genau dieselbe Ladung bildet sich im Gate.

Folie 38

Für $V_g = 0.5V$ hatten wir noch keine Ladung im Kanal. Für $V_g > 0.5$ gilt $dQ = C_{ox} dV_g$. Daraus folgt für die Ladung im Kanal:

$$Q = C_{ox} (V_g - 0.5V).$$

Da wir $V_s = 0$ haben, können wir auch folgendes schreiben:

$$Q = C_{ox} (V_{gs} - 0.5V). (0)$$

Wir definieren die Schwelle-Spannung $V_{th} \sim 0.5V$ als die Gate-Source Spannung für die die Potentialen in Source und auf der Substratoberfläche etwa gleich sind.

(Für $V_{gs} = V_{th}$ ist die Potentialbarriere null.)

Wenn die Gate-Source Spannung über die Schwelle steigt, sammeln sich die Elektronen im Kanal. Für die Gate-Spannungen unter der Schwelle ist das Potential an der Substratoberfläche nicht ausreichend für die Kanalbildung.

Folie 39

Die Struktur Gate-Oxid-Silizium bildet eine spannungsabhängige Kapazität. Die Gate-Kapazität ist $C_{ox} C_{dep} / (C_{ox} + C_{dep})$ für $V_{gs} < V_{th}$ und C_{ox} für $V_{gs} > V_{th}$.

Folie 40 und 41

Rechnen wir jetzt den Transistorstrom für kleine Spannungen V_{ds}

Wir haben eine ohmsche Verbindung zwischen der Source und dem Drain.

Wenn wir eine **kleine** Spannung zwischen Drain und Source haben (V_{ds}), fließt ein Strom vom Drain in die Source (I_{ds}).

Der Kanal bildet einen Widerstand – der Strom ist durch die folgende Gleichung gegeben:

$$I_{ds} = e * \text{Mobilität} * \text{Querschnitt} * \text{Ladungsdichte} * \text{E-Feld}$$

Der Querschnitt ist die Kanalbreite W * kanaltiefe t .

Daraus folgt:

$$I_{ds} = e * \text{Mobilität} * W * t * \text{Ladungsdichte} * \text{E-Feld}$$

Es ist leicht folgendes zu zeigen:

$$\text{Ladungsdichte} * t * e = Q/WL = C_{ox}/WL (V_{gs} - V_{th})$$

L ist die Länge des Kanals. (Wir haben das Ergebnis (0) benutzt.)

Wir bekommen:

$$I_{ds} = \text{Mobilität} * W * C_{ox}' * (V_{gs} - V_{th}) * \text{E-Feld}$$

C_{ox} ist die Kapazität pro Fläche. Ich werde weiter statt C_{ox}' einfach C_{ox} schreiben.

E-Feld ist in erster Näherung (konstantes Feld) V_{ds}/L .

Deshalb gilt:

$$I_{ds} = \text{Mobilität} * W/L * C_{ox} * (V_{gs} - V_{th}) * V_{ds}. (1)$$

Das ist die einfachste Gleichung für den Transistor-Strom.

Sie gilt für kleine V_{ds} – nur dann kann angenommen werden, dass die Ladung im Kanal gleichmäßig verteilt ist.

Wir sehen, dass der Strom vom Verhältnis W/L abhängt. Das ist typisch für die MOSFETs. Im Gegensatz zu diesem Ergebnis spielt bei den bipolaren Transistoren ihre Größe keine Rolle.

Sättigung

Wie viel steigt der Strom wenn wir V_{ds} erhöhen?

Wir haben gesehen, dass die Ladung im Kanal durch die Formel (0) $Cox (V_{gs} - V_{th})$ gegeben ist wenn V_{ds} null (oder klein) ist.

Was passiert, wenn wir $V_{ds} \gg 0$ haben?

Aus Symmetriegründen kann man erwarten, dass für $V_{ds} > 0$ die Kanalladung nahe Source $Cox (V_{gs} - V_{th})$ ist und nahe Drain $Cox (V_{gd} - V_{th})$.

Also für eine Drain Spannung $V_d = V_g - V_{th}$ ($V_{gd} - V_{th} = 0$) haben wir keinen Kanal an der Drain-Seite mehr. Ein weiterer Stromanstieg wird dadurch stark gebremst. Wir haben eine Strom-Sättigung, in erster Näherung steigt der Strom nicht mehr, wenn wir weiter V_{ds} erhöhen.

Die Bedingung für den Anfang von Sättigung: $V_{gd} = V_{th}$ kann man auch als

$V_{gs} - V_{ds} = V_{th}$ (beide Seiten - V_s) oder als $V_{ds} = V_{gs} - V_{th}$ umschreiben.

Wir definieren $V_{dssat} = V_{gs} - V_{th}$. Für höhere V_{ds} steigt der Strom nicht mehr.

Folie 48 - 49

Wie groß ist der Drain-Source Strom für $V_{ds} = V_{dssat}$? (Anfang von Sättigung)

Machen wir eine nicht ganz korrekte Annahme (A1): die Formel (1), die wir für kleine V_{ds} hergeleitet haben, gilt von $V_{ds} = 0$ bis zur Sättigung.

Den Drain-Source Strom für V_{dssat} Spannung (Sättigungsstrom) könnten wir aus der Gleichung (1) durch Einsetzen von $V_{ds} = V_{gs} - V_{th}$ berechnen:

$$I_{dssat} = \text{Mobilität} * W/L * Cox * (V_{gs} - V_{th})^2$$

Leider ist die Annahme (A1) nicht ganz korrekt – der Stromanstieg ist für $V_{ds} > \sim 100\text{mV}$ schwächer als aus Formel (1) erwartet (Folie 49).

Folie 50

Genauere Berechnung führt zu einem zusätzlichen Faktor 1/2. Die Formel für Sättigungsstrom lautet mit dieser Korrektur:

$$I_{dssat} = \frac{1}{2} * \text{Mobilität} * \frac{W}{L} * C_{ox} * (V_{gs} - V_{th})^2 = \frac{1}{2} * k * (V_{gs} - V_{th})^2. \quad (2)$$

Folie 51

Auch diese Formel ist nicht besonders korrekt. Genauere Modelle zeigen, dass der Faktor $\frac{1}{2}$ durch $1/(2n * \alpha)$ ersetzt werden soll. Für V_{dssat} gilt:

$$V_{dssat} = V_{gs} - V_{th}/n * \alpha.$$

$$\alpha = (1 + V_{gs}/n * E_{sat} * L).$$

Faktor Alpha ist für lange Transistoren ~ 1 . Für sehr kurze Transistoren oder für große Gate-Source Spannungen ist Alpha deutlich größer als 1 und führt zu viel niedrigeren I_{dssat} Werten als erwartet. Es handelt sich um einen Effekt der Mobilitätsättigung. In der Regel gilt „kleinere Transistoren“ brauchen komplexere Formeln.